

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01162358
PUBLICATION DATE : 26-06-89

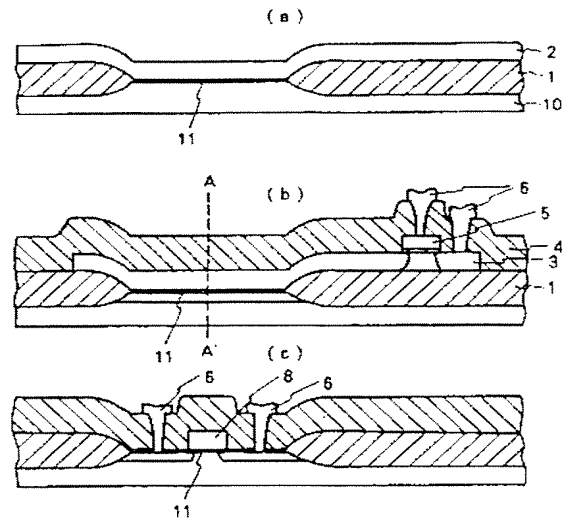
APPLICATION DATE : 19-12-87
APPLICATION NUMBER : 62320107

APPLICANT : AGENCY OF IND SCIENCE &
TECHNOL;

INVENTOR : KOYAMA KENICHI;

INT.CL. : H01L 27/00 H01L 27/08

TITLE : FORMATION OF
LAMINAR-STRUCTURE MIS
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To form a contact hole and embed a metal wire therein by a method wherein a lower-layer MIS-type semiconductor device gate insulating film is formed, a semiconductor thin film is formed to cover the entire surface, and then patterning is accomplished for the development of the semiconductor thin film into a gate electrode, a source region, and a drain region.

CONSTITUTION: An SiO₂ film 1 is formed on a silicon substrate 10. A gate insulating film 11 is formed by thermal oxidation and a silicon thin film 2 is formed. Etching is accomplished for the removal of a section of the silicon thin film 2 located on the SiO₂ film 1, when a region designed for an upper-layer MOS-type semiconductor device in the section is retained. The removal establishes isolation for the device. A gate electrode 5 is then built and, simultaneously, in a section of the silicon thin film 2 not on the SiO₂ film 1, a lower-layer MOS type semiconductor device gate electrode 8 is built. In this process, a contact hole is formed and a metal wire is embedded.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-162358

⑬ Int.Cl.⁴

H 01 L 27/00
27/08

識別記号

3 0 1
1 0 2

庁内整理番号

A-8122-5F
E-7735-5F

⑭ 公開 平成1年(1989)6月26日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 積層構造MIS型半導体装置形成方法

⑯ 特 願 昭62-320107

⑰ 出 願 昭62(1987)12月19日

⑱ 発 明 者 小 山 健 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 工 業 技 術 院 長 東京都千代田区霞が関1丁目3番1号

明 細 書

発明の名称

積層構造MIS型半導体装置形成方法

特許請求の範囲

MIS型半導体装置を少なくとも2層積層化するMIS型半導体装置の形成方法において、下層MIS型半導体装置のゲート絶縁膜を形成したあと全面に半導体薄膜を形成し、この薄膜を下層MIS型半導体装置のゲート電極、及び上層MIS型半導体装置のソース、ドレイン、チャネル領域としてパターンニングすることを特徴とする積層構造MIS型半導体装置形成方法。

発明の詳細な説明

(産業上の利用分野)

本発明は積層構造のMIS型半導体装置形成方法に関する。

(従来の技術)

MIS型半導体装置を2層積層化して形成する

積層構造のMIS型半導体装置は、従来の2次元平面内に形成していたMIS型半導体装置に比べ、高密度化、高機能化が可能だと言われている。

従来、積層構造のMIS型半導体装置の作製では、下層にMIS型半導体装置を形成した後、層間絶縁膜を介して、上層にMIS型半導体装置を形成していた。(第45回応用物理学学会学述講演会講演予稿集12a-B-12)

第2図は、従来の方法でMIS型半導体装置を積層化した場合の積層構造MIS型半導体装置の断面構造図である。まず、第2図(a)に示す様



下層に含まれるMIS型半導体装置(8はMIS型半導体装置のゲート電極)を形成した後、層間絶縁膜となるシリコン酸化物膜を形成し、第2図(b)に示す様に、上層のMIS型半導体装置(5はゲート電極、7はソース電極またはドレイン電極)を形成し、金属配線6で、各電極間を接続していた。第2図(c)は第2図(b)のB-B'での切断図を示す図である。図中2は、シリ

コン薄膜、4は絶縁膜、10はシリコン基板である。

(発明が解決しようとする問題点)

しかしながら、従来方法で積層構造のMIS型半導体装置を作製した場合、第2図(b)、(c)に示す様に、コンタクトホール10の深さが、下層のMIS型半導体装置に結線する場合と、上層のMIS型半導体装置に結線する場合とで異なる。コンタクトホールは、ドライエッチング等により形成するが、形成時にオーバーエッチしすぎると、各電極を形成している半導体薄膜は、エッチングされたり、ダメージを受けたりする。それゆえ、深さが一定でないコンタクトホールの形成は困難である。

また、層間絶縁膜9の存在により、下層MIS型半導体装置のコンタクトホール10のアスペクト比が大きくなってしまいうため、金属配線6をコンタクトホール中に埋め込むことが困難になる。

本発明の目的は、上述した従来の問題点を解決した積層構造のMIS型半導体装置の形成方法を

提供することにある。

(問題を解決するための手段)

本発明はMIS型半導体装置を少なくとも2層積層化するMIS型半導体装置の形成方法において、下層MIS型半導体装置のゲート絶縁膜を形成したあと全面に半導体薄膜を形成し、この薄膜を下層MIS型半導体装置のゲート電極、及び上層MIS型半導体装置のソース、ドレイン、チャネル領域としてパターンニングすることを特徴とする積層構造MIS型半導体装置形成方法である。

(実施例)

本発明の形成方法について、シリコン基板中に形成したMOS(Metal Oxide Semiconductor)型半導体装置と、 SiO_2 膜上のシリコン膜に形成するMOS型半導体装置とからなる2層の積層構造のMOS型半導体装置の実施例にもとづき説明する。

まず、第1図(a)に示す様にLOCOS(Local Oxidation of Si)法によりシリコン基板上に



- 3 -

- 4 -

SiO_2 膜1を形成し、そこを素子分離領域とする。そのあと熱酸化法でゲート酸化膜11を形成し、次いでシリコン薄膜2をCVD法等で形成する。このシリコン薄膜2は、レーザアニール法や電子ビームアニール法等を用いて単結晶化する。次にシリコン薄膜2のうち、 SiO_2 膜1の直上に位置する領域のシリコン薄膜において、上層のMOS型半導体装置の素子領域(ソース電極、ドレイン電極、チャネル領域)を残し、エッチング等により除去し、上層のMOS型半導体装置の素子分離を行なう。この時、シリコン薄膜2のうち、 SiO_2 膜1の直上に位置していない全ての領域と、 SiO_2 膜1の直上に位置する領域のうち、上層MOS型半導体装置のソース電極またはドレイン電極と下層MOS型半導体装置のゲート電極を結線したい領域のシリコン薄膜2は除去せず残しておく。

次に、上層のMOS型半導体装置のゲート酸化膜を熱酸化法で形成し、その上にゲート電極5を形成する。

- 5 -

この時、上層のMOS型半導体装置と同一電導型のMOS型半導体装置を下層に作製する場合、シリコン薄膜2のうち、 SiO_2 膜1上以外に位置する部分において、下層のMOS型半導体装置のゲート電極8を同時に形成しておく。次に、イオン注入により上層能動層中のMOS型半導体装置のソース電極3、ドレイン電極3を形成する。この時、上層、下層に作製するMOS型半導体装置が同一電導型の場合には、下層のMOS型半導体装置のソース電極、ドレイン電極も同時に形成される。

上層、下層に異種電導型のMOS型半導体装置を作製する場合には、前述のイオン注入により先に上層のMOS型半導体装置のソース電極3、ドレイン電極3を形成した後にシリコン薄膜2のうち、 SiO_2 膜1上以外に位置する領域において、下層のMOS型半導体装置のゲート電極8をパターンニングし、形成する。次に、上層に位置するMOS型半導体層上にのみ十分な厚さを有するレジスト等のイオン注入のマスクを形成した後

- 6 -

で、イオン注入を行ない、下層のMOS型半導体装置のソース電極、ドレイン電極を形成する。

最後に、シリコン酸化膜4をCVD法にて形成し、その上にレジストを塗布し、コンタクトホール上のみレジストを開口し、ドライエッチングによりコンタクトホール部のシリコン酸化膜4を除去してコンタクトホールを形成し、その後、金属配線6をスパッタ、レジストワーク、ドライエッチング等を用いて形成する。

以上の工程を経て、作製された積層構造のMOS型半導体装置の断面構造図を第1図(b)に示す。又、第1図(c)は、第1図(b)のA-A'面の切断面である。

本発明の特徴は、下層のMOS型半導体装置のゲート電極8と、上層のMOS型半導体装置のソース電極3、ドレイン電極3、チャネル領域を一枚のシリコン薄膜2を用いて形成することにある。すなわち、従来例で用いていた、第2図(b)中のSiO₂膜9は用いない。その結果、各MOS型半導体装置を結線するためのコンタ

クトホールの深さは、一定となり、コンタクトホールの形成は容易となる。又、SiO₂膜9が存在しないことにより、コンタクトホールのアスペクト比は従来例に比べ小さくなり、その結果、コンタクトホールを金属配線6でうめこむことが容易になる。さらに、下層のMOS型半導体装置のゲート電極8と、上層のMOS型半導体装置のソース電極またはドレイン電極3とは、第1図(b)のようにコンタクトホールや、金属配線6等を介さずに直結することもできる。

さらに、上層、下層で同一電導型のMOS型半導体装置を作製する場合には、上層のMOS型半導体装置の素子領域と下層のMOS型半導体装置のゲート電極を1枚のマスクのみで作製でき、かつソース電極、ドレイン電極と同時に形成できるので、作製に必要な工数が減り、それゆえ、TATも短縮できる。

なお、以上の実施例では、シリコン基板中に形成した下層MOS型半導体装置とSiO₂膜上のシリコン膜に形成する上層MOS型半導体装置と

- 7 -

- 8 -

からなる積層構造のMOS型半導体装置を例に本発明を説明したが、他の半導体基板(Ge, GaAs等)中に形成した他のMIS型半導体装置(ゲート絶縁膜にSiO₂以外の誘電体を用いたMIS型半導体装置等)と、他の絶縁膜(Si₃N₄等)上の他の半導体膜に形成した他のMIS型半導体装置からなる積層構造のMIS型半導体装置にも本発明は適用できる。また、同一電導型のMIS型半導体装置だけからなる積層構造のMIS型半導体装置においては、積層数を2層以上にしてもかまわない。

(本発明の効果)

以上説明した様に、本発明によれば、積層構造のMIS型半導体装置において、コンタクトホールの形成と、コンタクトホール中への金属配線の埋め込みを容易に行なえるという効果を有する。

さらに、上層、下層の能動層で同一電導型のMOS型半導体装置を作製する場合には、TATの短縮も見込める。

図面の簡単な説明

第1図(a)～(c)は、本発明を用いて形成した場合の、積層構造のMIS型半導体装置の断面構造図、第2図(a)～(c)は、従来の方法を用いて形成した場合の、積層構造のMIS型半導体装置の断面構造図である。

図において、

- 1, 4, 9はシリコン酸化膜、
- 2はシリコン薄膜、
- 3, 7はソース電極またはドレイン電極、
- 5, 8はゲート電極、
- 10はシリコン基板、11はゲート酸化膜、
- 6は金属配線

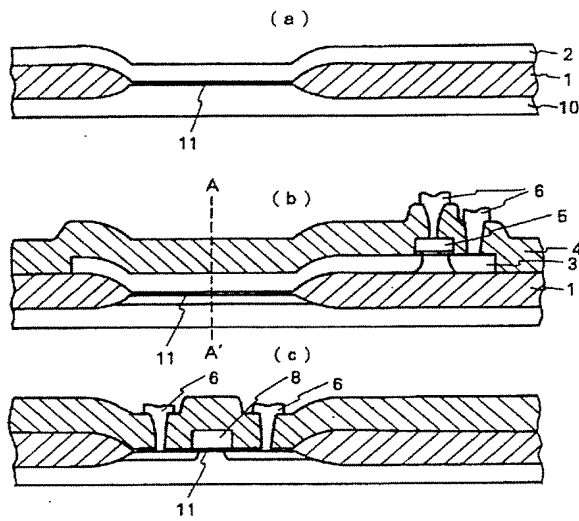
である。

工業技術院長 飯塚幸三

- 9 -

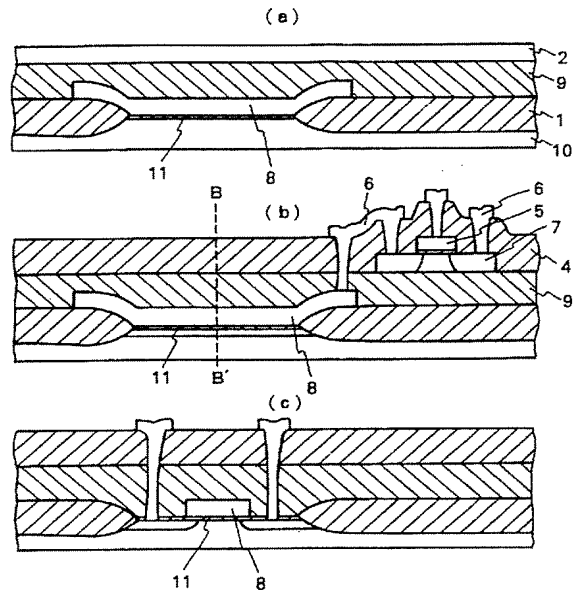
- 10 -

第 1 図



1, 4はSiO₂膜 2はシリコン膜
3はソース電極またはドレイン電極
5, 8はゲート電極 6は金属配線
10はシリコン基板 11はゲート酸化膜

第 2 図



7はソース電極またはドレイン電極 9はシリコン酸化膜